

**MANUFACTURE OF SEMICONDUCTOR DEVICE**

Patent Number: JP8032066  
Publication date: 1996-02-02  
Inventor(s): FUKUI KATSUICHI; others: 01  
Applicant(s): SUMITOMO METAL IND LTD  
Requested Patent: ☐ [JP8032066](#)  
Application Number: JP19940166490 19940719  
Priority Number(s):  
IPC Classification: H01L29/78; H01L21/28; H01L21/336  
EC Classification:  
Equivalents:

---

**Abstract**

---

**PURPOSE:** To provide a manufacturing method of semiconductor device capable of avoiding abnormal oxidation of a tungsten silicide (WSi) without previously forming an SiO<sub>2</sub> film on the surface of a WSi layer as well as improving the flatness of a semiconductor device and the throughput of the semiconductor device manufacture.  
**CONSTITUTION:** A polycide layer 23 comprising a polycrystalline silicon layer 2 and a tungsten silicide layer 3 is formed on a semiconductor substrate 1 and after etching away the polycide layer 23 in a specific pattern using a resist pattern 5, the first thermal oxidation process is performed on the semiconductor substrate 1 in the step (d). Next, after the formation of a side wall 7, the second thermal oxidation process is performed in the step (g) and the nitrogen diluted oxygen atmosphere (O<sub>2</sub> concentration 10%).

---

Data supplied from the **esp@cenet** database - I2

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-32066

(43) 公開日 平成8年(1996)2月2日

(51) Int.Cl. <sup>6</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 29/78				
21/28	3 0 1 D			
21/336				
			H 0 1 L 29/ 78	3 0 1 G
				3 0 1 Y
			審査請求 未請求	請求項の数 1 O L (全 6 頁)

(21) 出願番号 特願平6-166490

(22) 出願日 平成6年(1994)7月19日

(71) 出願人 000002118

住友金属工業株式会社

大阪府大阪市中央区北浜4丁目5番33号

(72) 発明者 福井 勝一

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

(72) 発明者 山中 圭三

大阪府大阪市中央区北浜4丁目5番33号

住友金属工業株式会社内

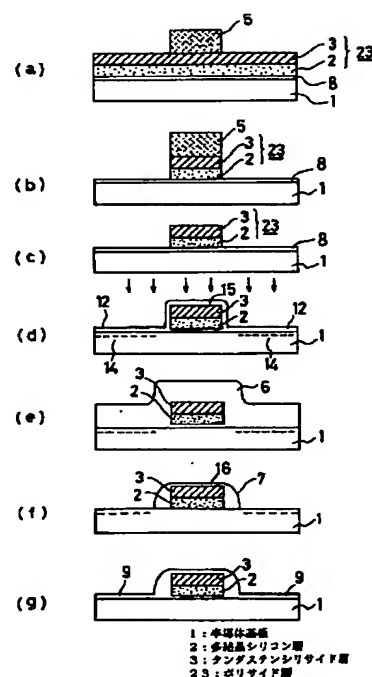
(74) 代理人 弁理士 井内 龍二

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【目的】 予めタングステンシリサイド (WSi) 層3の上面にSiO<sub>2</sub>膜を形成しておかなくともWSi層3の異常酸化を防止することができ、半導体装置の平坦性及び半導体装置製造のスループットを向上させることができる半導体装置の製造方法を提供すること。

【構成】 半導体基板1上に多結晶シリコン層2及びタングステンシリサイド層3で構成されたポリサイド層23が形成され、ポリサイド層23をレジストパターン5で所定のパターンにエッチングした後、工程(d)で半導体基板1に1回目の熱酸化処理を施し、次に、サイドウォール7を形成した後、工程(g)で2回目の熱酸化処理を窒素希釈の酸素雰囲気(O<sub>2</sub>濃度10%)で施す。



1

## 【特許請求の範囲】

【請求項1】 ポリサイドゲートを用いた半導体装置の製造方法において、一度熱処理が施されたポリサイドゲートに対して、10%以上のN<sub>2</sub>を含むO<sub>2</sub>雰囲気下で2回目以降の熱処理を施すことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

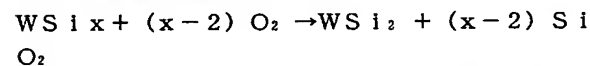
## 【0001】

【産業上の利用分野】 本発明はポリサイドゲートを用いた半導体装置の製造方法に関する。

## 【0002】

【従来の技術】 半導体装置を製造する場合、酸化シリコン膜などの絶縁膜の除去処理及び熱酸化処理が複数回行なわれる。熱酸化処理について言えば、例えばポリサイド構造のMOSトランジスタを形成する場合、金属シリサイド層の結晶化を図るための熱処理、ポリサイドゲート層上に保護酸化膜を形成するための熱処理、拡散層へのイオン注入用パッファ酸化膜を形成するための熱処理、注入不純物を活性化させるための熱処理、注入損傷を回復させることを目的とした熱処理等、半導体装置に対して複数回の熱処理が施される。その際、前記金属シリサイド層に膜剥れや段切れが生じたり、前記金属シリサイド層が異常酸化されたりする可能性がある。膜剥れは熱処理の際の膜応力変化によって生じ、段切れは同じく膜応力変化による段差部などでのクラックの発生によって生じる。また、異常酸化は以下のようにして生じる。

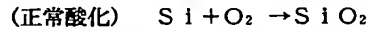
【0003】 例えば、前記金属シリサイド層がタングステンシリサイド層 (WSi<sub>x</sub>: x>2) の場合、WSi<sub>x</sub>を一度熱酸化処理すると、



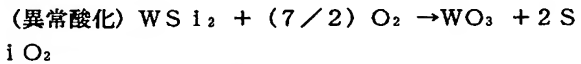
の反応式で表される反応により、WSi<sub>x</sub>は結晶化してWSi<sub>2</sub>のストイキオメトリを持ち、グレインを形成する。その一方で、WSi<sub>x</sub>中の余剰なシリコンが酸化されて酸化シリコン (SiO<sub>2</sub>) となり、これがWSi<sub>2</sub>グレイン層表面を被覆する。次に、トランジスタのLD (Lightly Doped Drain) 構造形成のための最初のイオン注入が行われた後、絶縁膜 (SiO<sub>2</sub> 膜) を形成してから異方性エッチングを行うことによりスペーサ構造 (サイドウォール) を形成するが、この時前記タングステンシリサイド層表面を被覆しているSiO<sub>2</sub> 膜は異方性エッチングによりかなり薄いものとなってしまう、次の熱酸化処理工程 (二回目の熱酸化処理工程で、MOSトランジスタの拡散層上に絶縁膜を形成する工程) でタングステンシリサイド層への酸素の拡散供給を抑制しにくい膜厚となっている。この状態で、前記二回目の熱酸化処理を施すと、図3 (a) に示したように、タングステンシリサイド層表面のSiO<sub>2</sub> 膜31中を拡散してくる酸素32と、タングステンシリサイド層の下側にある

2

多結晶シリコン層から、WSi<sub>2</sub> グレイン34のグレインバンダリーを拡散してくるシリコン35との供給バランスが保たれている時は、タングステンシリサイド層とその上のSiO<sub>2</sub> 膜31との界面付近で、



の反応式で表される反応のみが進行する。これに対して前記供給バランスが崩れて酸素32の供給が過剰になると、図3 (b) に示したように、WSi<sub>x</sub>グレイン34そのものが酸化され、下式で示される異常酸化反応が生じる。



上式に示したように異常酸化反応が生じると、WO<sub>3</sub> (酸化タングステン) 36が生成される。異常酸化が一旦生じると、WSi<sub>2</sub> グレイン34の破壊による抵抗の増大、WO<sub>3</sub> (酸化タングステン) 36の生成による体積膨張、ひいては、膜剥れや断線などを引き起こす。なお図3において、符号33はSiO<sub>2</sub> 分子を示している。

【0004】 これらの現象を回避するため、ポリサイド層の上層側を構成する金属シリサイド層表面に予めシリコン酸化膜、あるいはシリコン窒化膜、あるいはPSG (Phospho Silicate Glass) 膜等の絶縁キャップ層を形成しておく半導体装置の製造方法 (特開平5-226671号公報) が提案されている。この場合、熱酸化処理の前にあらかじめ絶縁キャップ層を形成しておけば、該絶縁キャップ層が酸素の拡散供給を律速・抑制するので、シリコンと酸素との供給バランスを崩すことなく正常な酸化を行なわせることが可能になる。

【0005】 次に、図4に基づいて前記公報に開示された半導体装置の製造方法に基づいて半導体装置を製造する場合の一例として、MOSトランジスタのゲート電極をポリサイド構造で形成する場合の各工程を簡単に説明する。図4は前記各工程を順に示した模式的断面図である。

【0006】 工程 (a) : 半導体基板1上に形成されたゲート酸化膜8上に、減圧CVD装置によりSiH<sub>4</sub> ガスを用いて2000Åの多結晶シリコン層2を形成する (例えば、SiH<sub>4</sub> : 250sccm, N<sub>2</sub> : 500sccmの割合の混合ガスを供給し、温度620℃、圧力0.3 Torrの条件で形成する)。次に、コールドウォール型減圧CVD装置によりWF<sub>6</sub>、SiH<sub>4</sub> の混合ガスを用いて2000Åのタングステンシリサイド層3を形成し (例えば、WF<sub>6</sub> : 1.6sccm, SiH<sub>4</sub> : 300sccmの割合の混合ガスを供給し、温度380℃、圧力200mTorrの条件で形成し)、ポリサイド層23を形成する。その後、絶縁キャップ層としてのSiO<sub>2</sub> キャップ膜4をCVD装置によりSiH<sub>4</sub>、N<sub>2</sub>Oの混合ガスを用いて絶縁キャップ層としてのSiO<sub>2</sub> キャップ膜4を形成した後 (例えばプラズマC

3

VD装置を用い、 $\text{SiH}_4$  :  $6 \text{ sccm}$ 、 $\text{N}_2 \text{ O}$  :  $4 \text{ sccm}$ の割合の混合ガスを供給し、温度 $400^\circ\text{C}$ 、圧力 $2.2 \text{ Torr}$ の条件で形成した後)、 $\text{SiO}_2$  キャップ膜4上にゲート電極形成用のレジストパターン5をフォトリソグラフィ技術により形成する。

【0007】工程(b) :  $\text{SiO}_2$  キャップ膜4をRIE (Reactive Ion Etching) により $\text{CF}_4$  ガスを用いてエッチングし、次に、タングステンシリサイド層3及び多結晶シリコン層2をRIEにより $\text{Cl}_2$ 、 $\text{O}_2$  の混合ガスをを用いてエッチングする。

【0008】工程(c) : 不要となったレジストパターン5を $\text{O}_2$  プラズマを用いてアッシングする。

【0009】工程(d) : 酸素雰囲気中で $900^\circ\text{C}$ 、60分の熱酸化処理を施し、タングステンシリサイド層3の結晶化を図ると共に、拡散層14へのイオン注入用バッファ酸化膜12を形成した後、LDD構造形成のためのイオン注入を行う。なおこの時、 $\text{SiO}_2$  キャップ膜4が前記熱酸化処理により成長した $\text{SiO}_2$  膜11となってタングステンシリサイド層3上に形成される。

【0010】工程(e) : サイドウォールを形成するために、 $\text{SiH}_4$ 、 $\text{N}_2 \text{ O}$ の混合ガスをを用いてシリコン基板1上に $2500 \text{ \AA}$ の $\text{SiO}_2$  膜6を形成する(例えば、 $\text{SiH}_4$  :  $65 \text{ sccm}$ 、 $\text{N}_2 \text{ O}$  :  $3250 \text{ sccm}$ の割合の混合ガスを供給し、温度 $850^\circ\text{C}$ 、圧力 $0.35 \text{ mTorr}$ の条件下の減圧CVD法により形成する)。

【0011】工程(f) :  $\text{CF}_4$  と $\text{CHF}_3$  の混合ガスなどを用いた異方性ドライエッチングにより $\text{SiO}_2$  膜6をエッチングし、サイドウォール7を形成する。なおこの時、タングステンシリサイド層3上に残されている $\text{SiO}_2$  膜を符号13とする。

【0012】工程(g) : 酸素雰囲気 ( $\text{O}_2$  濃度 $100\%$ ) で、 $1050^\circ\text{C}$ 、30分の熱酸化処理を施し、 $\text{SiO}_2$  膜9を形成する。

【0013】

【発明が解決しようとする課題】特開平5-226671号の公報に開示された半導体装置の製造方法に基づいて半導体装置を製造する場合には、以下に示す課題がある。まず、工程(a)で示したように、前もって絶縁キャップ層としての $\text{SiO}_2$  キャップ膜4を形成する工程が必要である。加えて、工程(b)で示したように、 $\text{SiO}_2$  キャップ膜4をエッチングするにはフッ素系のガスをを用いる必要があるので、 $\text{SiO}_2$  キャップ膜4とポリサイド層23を所定のパターンにエッチングするにはまず上層の $\text{SiO}_2$  キャップ膜4をエッチングしてから供給ガス種を切り換えてポリサイド層23をエッチングしなければならず、必ず二段階のエッチング工程が必要となる。この方法では、工程時間・工程数が共に増加するため、半導体製造スピードが遅くなる(スループッ

4

トが低くなる)という課題がある。

【0014】さらに、タングステンシリサイド層3上に形成される絶縁膜( $\text{SiO}_2$  膜)は、半導体製造工程中の絶縁膜除去工程などで膜減りを起こし、ある程度以上薄くなると熱酸化工程で異常酸化を引き起こしてしまうので、例えば、工程(f)における $\text{SiO}_2$  膜13の膜厚が所定以上に薄くなっている場合には、工程(g)における熱酸化処理でタングステンシリサイド層3に異常酸化反応が生じる可能性があるため、最初に $\text{SiO}_2$  キャップ膜4をかなり厚めに形成しておく必要がある。このためゲート電極の高さが高くなり、半導体装置の平坦性を損なうという課題がある。

【0015】本発明は上記課題に鑑みなされたものであり、金属シリサイド層上に $\text{SiO}_2$  膜等の絶縁キャップ層を形成しなくとも前記金属シリサイド層の異常酸化を防止することができ、また従来の半導体装置の製造方法に比べ、半導体装置の平坦性及び半導体装置製造のスループットを向上させることができる半導体装置の製造方法を提供することを目的としている。

20 【0016】

【課題を解決するための手段】上記目的を達成するために本発明に係る半導体装置の製造方法は、ポリサイドゲートを用いた半導体装置の製造方法において、一度熱処理が施されたポリサイドゲートに対して、 $10\%$ 以上の $\text{N}_2$ を含む $\text{O}_2$  雰囲気下で2回目以降の熱処理を施すことを特徴としている。

【0017】

【作用】図2及び図3に基づいて作用を説明する。図3(a)は酸化反応が正常に進行している場合における金属シリサイド層と $\text{SiO}_2$  膜との界面の状態を示した模式図であり、図3(b)は異常な酸化反応が進行している場合における金属シリサイド層と $\text{SiO}_2$  膜との界面の状態を示した模式図である。以下、金属シリサイド層がタングステンシリサイド(WSi)層である場合について説明する。

【0018】半導体基板上に金属シリサイド層として形成されたWSi層は、通常、形成直後はアモルファス状態であるが、一旦熱処理を行うと正方晶構造の $\text{WSi}_2$  結晶になる。そして、その後の工程で熱酸化処理する場合、WSi表層部分の $\text{WSi}_2$  -  $\text{SiO}_2$  膜31界面で酸化反応が進行するわけであるが、多結晶シリコン層(図示せず)から拡散されたシリコン35の供給と、雰囲気から表面 $\text{SiO}_2$  膜31中を拡散した酸素32の供給とによって反応は維持される。しかし、WSi層表面の $\text{SiO}_2$  膜31がない場合、あるいは非常に薄い場合、多結晶シリコン層(図示せず)からのシリコン35の供給に比べて酸素32の供給が相対的に過剰になり、反応相手を失った酸素32は $\text{WSi}_2$  のWと結合することによって $\text{WO}_3$  (酸化タングステン36)が生成され、WSiが異常酸化される。

5

【0019】実際のLSIプロセスではタングステンポリサイドゲートの形成後、酸化処理が行われ、さらにイオン注入やWSi上のSiO<sub>2</sub>膜のエッチングといった処理が施され、再度熱処理される。この時点で上記異常酸化が発生することが多く見られる。

【0020】従来の技術では、WSi層上に絶縁キャップ層として予めある程度の膜厚のSiO<sub>2</sub>キャップ膜を形成しておき、この酸化膜によって酸素32の供給を律速させ異常酸化を抑制している。本発明は酸素32の供給の律速化を前記SiO<sub>2</sub>キャップ膜を用いるのではなく、タングステンポリサイドゲートに対する2回目以降の熱処理雰囲気を工夫することによって実現するものである。すなわち、2回目以降の熱処理雰囲気として100%の酸素を用いるのではなく、N<sub>2</sub>で希釈した酸素雰囲気を用いることによって酸素32の供給を律速し、酸素32とシリコン35との供給バランスをとり、異常酸化反応の発生を抑制している。

【0021】図2はWSi層上に形成されたSiO<sub>2</sub>膜厚とその後の熱酸化処理(1050℃、30分の熱酸化処理)によって異常酸化の発生する割合を示したグラフである。横軸にSiO<sub>2</sub>の膜厚、縦軸に異常酸化率をとり、○で示したグラフは酸素100%の雰囲気で行った場合を示し、●で示したグラフは酸素希釈濃度10%の雰囲気で行った場合を示している。

【0022】図2からわかるように、WSi層上のSiO<sub>2</sub>膜厚が薄くなるにつれ異常酸化の発生率が增大している。これはSiO<sub>2</sub>膜厚が薄くなると、SiO<sub>2</sub>膜中を拡散してSiO<sub>2</sub>膜-WSi界面に到達する酸素32の量が急激に増加するためである。ここで注目すべきは、濃度100%の酸素雰囲気を用いるよりもN<sub>2</sub>希釈の濃度10%の酸素雰囲気を用いた方が、WSi層上のSiO<sub>2</sub>膜が薄くなっても異常酸化が発生しにくいということである。図2のグラフは、従来の半導体装置の製造方法の場合、異常酸化を防止するにはWSi層上のSiO<sub>2</sub>膜厚が100nm程度必要で、前もってSiO<sub>2</sub>キャップ膜を形成しておかなければならないことを示している。しかし本発明に係る半導体装置の製造方法の場合、WSi層上のSiO<sub>2</sub>膜厚が50nmであっても殆ど異常酸化反応は発生せず、前もってSiO<sub>2</sub>キャップ膜を形成しておかなくとも半導体装置の各熱処理工程でWSi層上に形成されるSiO<sub>2</sub>膜の膜厚で十分異常酸化反応を抑制することができることを示している。すなわち本発明に係る半導体装置の製造方法を用いれば、WSi層上に絶縁キャップ層としてSiO<sub>2</sub>キャップ膜を形成しなくともWSi層の異常酸化を防ぐことが可能である。

【0023】

【実施例及び比較例】以下、本発明に係る半導体装置の製造方法の実施例を図面に基づいて説明する。図1は実施例に係る半導体装置の製造方法を用いてMOSトラン

6

ジスタのゲート電極を形成する場合の各工程を順に示した模式的断面図である。

【0024】工程(a)：半導体基板1上に形成されたゲート酸化膜8上に減圧CVD装置によりSiH<sub>4</sub>、N<sub>2</sub>の混合ガスを用いて2000Åの多結晶シリコン層2を形成する(例えば、SiH<sub>4</sub>：250sccm、N<sub>2</sub>：500sccmの割合の混合ガスを供給し、温度620℃、圧力0.3Torrの条件で形成する)。次に、コールドウォール型減圧CVD装置によりWF<sub>6</sub>、SiH<sub>4</sub>の混合ガスを用いて2000Åのタングステンポリサイド(WSi)層3を形成する(例えば、WF<sub>6</sub>：1.6sccm、SiH<sub>4</sub>：300sccmの割合の混合ガスを供給し、温度620℃、圧力0.3Torrの条件で形成する)。その後、ゲート電極形成用のレジストパターン5をフォトリソグラフィ技術により形成する。

【0025】工程(b)：WSi層3及び多結晶シリコン層2とで構成されるポリサイド層23をRIEによりCl<sub>2</sub>、O<sub>2</sub>の混合ガスを用いてエッチングする。

【0026】工程(c)：不用となったレジストパターン5をO<sub>2</sub>プラズマを用いてアッシングする。

【0027】工程(d)：900℃、60分の熱酸化処理を行いWSi層3の結晶化を図ると共に、拡散層14上にイオン注入のためのバッファ酸化膜12を形成した後、LDD構造形成のためのイオン注入を行う。なおこの時、前記熱酸化処理によりWSi層3上にはSiO<sub>2</sub>膜15が形成される。

【0028】工程(e)：サイドウォールを形成するため、SiH<sub>4</sub>ガスとN<sub>2</sub>Oガスを用いて半導体基板1上に2500ÅのSiO<sub>2</sub>膜6を形成する(例えば、SiH<sub>4</sub>：65sccm、N<sub>2</sub>O：3250sccmの割合の混合ガスを供給し、温度850℃、圧力0.35mTorrの条件下の減圧CVD法により形成する)。

【0029】工程(f)：異方性エッチング例えばCF<sub>4</sub>とCHF<sub>3</sub>の混合ガスを用いた異方性ドライエッチングによりSiO<sub>2</sub>膜6をエッチングし、サイドウォール7を形成する。この時、前記エッチングにより除去されずにWSi層3上に残っているSiO<sub>2</sub>膜を16とする。

【0030】工程(g)：酸素希釈の酸素雰囲気(O<sub>2</sub>濃度10%)で、1050℃、30分の熱酸化処理を施し、拡散層14上にSiO<sub>2</sub>膜9を形成する。

【0031】以上説明したように実施例に係る半導体装置の製造方法にあつては、図4に示した従来の半導体装置の製造方法に比べ、工程(a)においてSiO<sub>2</sub>キャップ膜4を形成する工程を省略することができ、さらに工程(b)においてSiO<sub>2</sub>キャップ膜4をエッチングする工程も省略することができる。図1の工程(d)でWSi層3の表面上には1000Å程度のSiO<sub>2</sub>膜15が形成されるが、SiO<sub>2</sub>膜15は工程(f)で厚さ

7

が400Å程度のSiO<sub>2</sub>膜16になっている。この状態で工程(g)において前記条件のもとで熱酸化処理を行った後、断面をSEM観察したがWSi層3の異常酸化は認められなかった。

【0032】〈比較例〉SiO<sub>2</sub>キャップ膜4の膜厚が約500Å(サンプルa)のものと約1000Å(サンプルb)のものと二種類のサンプルに関し、図4に示した工程に従ってポリサイドゲート電極を有するMOSトランジスタを製造した。図4(d)の工程においてWSi層3上面のSiO<sub>2</sub>膜11の膜厚は、サンプルaでは1080Å程度であり、サンプルbでは1330Å程度であったが、図4(f)の工程になると、WSi層3上面のSiO<sub>2</sub>膜13の膜厚はサンプルaでは490Å程度、サンプルbでは740Å程度になっていた。この状態で図4(g)の工程での熱酸化処理をO<sub>2</sub>:100%雰囲気中で施したところ、サンプルbでは異常酸化を生じなかったが、サンプルaでは異常酸化を生じた。

【0033】以上説明したように従来の半導体製造方法の場合、上記比較例及び図2のグラフに示したように、異常酸化反応の発生を防止するには、WSi層3の上面に絶縁キャップ層として1000Å(100nm)程度のSiO<sub>2</sub>キャップ膜4を形成する必要があるのに対し、実施例に係る半導体装置の製造方法の場合、SiO<sub>2</sub>キャップ膜4等の絶縁キャップ層を形成しなくとも異常酸化反応の発生を防止することができる。また前記絶縁キャップ層を形成しなくてよいので、その分、ゲート電極の高さを抑えることができ半導体装置の平坦性を向上させることができる(図1(g)及び図4(g)参照)。

【0034】

【発明の効果】以上詳述したように本発明に係る半導体装置の製造方法にあつては、異常酸化防止用のSiO<sub>2</sub>

8

キャップ膜等の絶縁キャップ層を熱酸化処理前にCVD法などで金属シリサイド層の上面に形成しなくとも、異常酸化を防止することができる。また、前記絶縁キャップ層を形成しなくともよいので該形成工程を省くことができ、したがって電極パターンを形成する際の前記絶縁キャップ層のエッチング工程をも省くことができるので、従来の半導体装置の製造方法に比べ、半導体装置製造のスループットを向上させることができる。さらに前記絶縁キャップ層を形成しなくともよくなる分、素子の高さを抑えることができ、半導体装置の平坦性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の実施例に係る半導体装置の製造方法を用いて半導体装置を製造する場合の各工程を順に模式的に示した断面図である。

【図2】タングステンシリサイド(WSi)層上に形成されたSiO<sub>2</sub>膜の膜厚と異常酸化の発生する割合を示したグラフである。

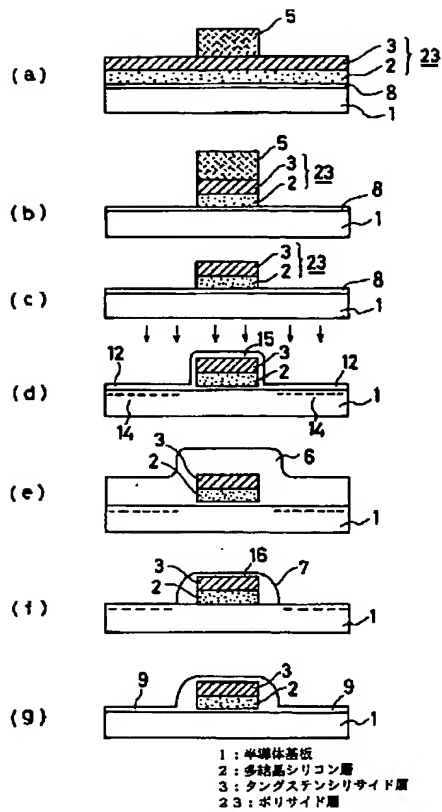
【図3】(a)は正常な酸化反応が進行している場合のタングステンシリサイド(WSi)層とSiO<sub>2</sub>膜との界面付近の状態を模式的に示した断面図である。(b)は異常酸化反応が進行している場合のWSi層とSiO<sub>2</sub>膜との界面付近の状態を模式的に示した断面図である。

【図4】従来の半導体装置の製造方法で半導体装置を製造する場合の各工程を順に模式的に示した断面図である。

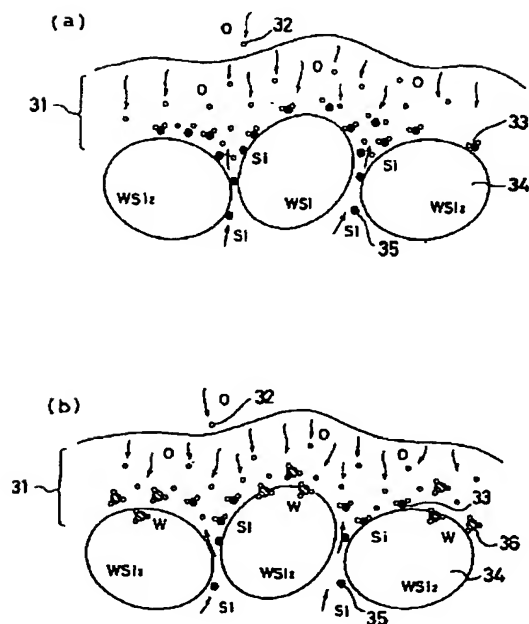
【符号の説明】

- 1 半導体基板
- 2 多結晶シリコン層
- 3 タングステンシリサイド(WSi)層
- 23 ポリサイド層

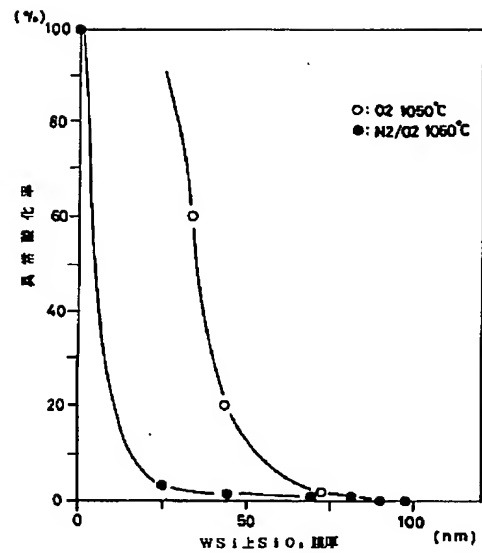
【図1】



【図3】



【図2】



【図4】

